

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yoshiaki TANIDA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **July 8, 2003**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 8, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-198993, filed July 8, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Attorney for Applicants
Reg. No. 27,133

DWH/jaz
Atty. Docket No. **030823**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月 8日

出 願 番 号
Application Number:

特願2002-198993

[ST.10/C]:

[JP2002-198993]

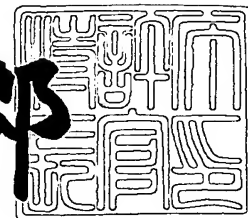
出 願 人
Applicant(s):

富士通株式会社

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3105807

【書類名】 特許願

【整理番号】 0240642

【提出日】 平成14年 7月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 谷田 義明

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 杉山 芳弘

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087479

 【弁理士】

 【氏名又は名称】 北野 好人

【選任した代理人】

 【識別番号】 100114915

 【弁理士】

 【氏名又は名称】 三村 治彦

【手数料の表示】

 【予納台帳番号】 003300

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された、III族元素及びV族元素の一方である第 1 の元素を含む酸化物より成る中間層と、

前記中間層上に形成された、III族元素及びV族元素の他方である第 2 の元素の酸化物より成る絶縁膜と、

前記絶縁膜上に形成された電極と

を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記絶縁膜と前記電極との間に形成され、前記第 1 の元素を含む酸化物より成る他の中間層を更に有する

ことを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、

前記中間層及び／又は前記他の中間層は、前記第 1 の元素と前記第 2 の元素とを含む酸化物より成る

ことを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置において

前記絶縁膜の膜厚は、5 nm 以下である

ことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において

前記第 2 の元素は、Al、Sc、Y 又は La である

ことを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、

前記絶縁膜は、 Al_2O_3 膜、 Sc_2O_3 膜、 Y_2O_3 膜又は La_2O_3 膜である

ことを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置において

前記第 1 の元素は、T a、V、N b、T h 又は U である

ことを特徴とする半導体装置。

【請求項 8】 半導体基板上に、III 族元素及び V 族元素の一方である第 1 の元素を含む酸化物より成る中間層を形成する工程と、

前記中間層上に、III 族元素及び V 族元素の他方である第 2 の元素の酸化物より成る絶縁膜を形成する工程と、

前記絶縁膜上に電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、

前記中間層を形成する工程では、前記第 1 の元素を含む第 1 の原料と前記第 2 の元素を含む第 2 の原料とを用いて、前記第 1 の元素と前記第 2 の元素とを含む酸化物より成る前記中間層を形成し、

前記絶縁膜を形成する工程では、前記第 2 の原料を用いて前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 又は 9 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程の後、前記電極を形成する工程の前に、前記第 1 の原料と前記第 2 の原料とを用いて、前記第 1 の元素と前記第 2 の元素とを含む酸化物より成る他の中間層を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に M O S 構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来より、M O S (Metal Oxide Semiconductor) 構造の絶縁膜としては、S

SiO_2 膜が広く用いられてきた。そして、半導体装置の微細化に伴って、 SiO_2 膜の薄膜化が進められてきた。しかし、 SiO_2 膜の薄膜化は3 nm程度が限界といわれている。このため、 SiO_2 より誘電率の高い材料を用いてゲート絶縁膜を構成することが検討されている。

【0003】

従来の半導体プロセスとの整合性が良好であり、しかも、誘電率が SiO_2 より高い材料として、 Al_2O_3 が注目されている。

【0004】

ゲート絶縁膜の材料として Al_2O_3 が用いられた提案されている半導体装置について、図13を用いて説明する。図13は、提案されている半導体装置を示す断面図である。

【0005】

図13に示すように、シリコン基板106には、素子領域108を画定する素子分離領域110が形成されている。素子領域108内のシリコン基板106上には、 Al_2O_3 より成るゲート絶縁膜114が形成されている。ゲート絶縁膜114上には、ポリシリコンより成るゲート電極116が形成されている。ゲート電極116上には、キャップ膜118が形成されている。ゲート電極116の両側のシリコン基板106には、エクステンションソースドレインの浅い領域を構成する不純物拡散領域120aが形成されている。ゲート電極116の側面には、サイドウォール絶縁膜122が形成されている。側面にサイドウォール絶縁膜122が形成されたゲート電極116の両側には、エクステンションソースドレインの深い領域を構成する不純物拡散領域120bが形成されている。不純物拡散領域120aと不純物拡散領域120bとにより、エクステンションソースドレイン構造のソース／ドレイン拡散層120が構成されている。こうして、提案されている半導体装置が構成されている。

【0006】

【発明が解決しようとする課題】

しかしながら、ゲート絶縁膜114の材料として Al_2O_3 を用いた場合には、フラットバンド電圧が大きくシフトしてしまう。図14は、C-V特性を示すグ

ラフである。横軸はゲートバイアスを示しており、縦軸は静電容量を示している。図 1 4 から分かるように、ゲート絶縁膜の材料として Al_2O_3 を用いた場合には、ゲート絶縁膜の材料として SiO_2 を用いた場合と比較して、フラットバンド電圧が約 0.4 V もシフトしまう。

【 0 0 0 7 】

しかも、フラットバンド電圧のシフトは、 Al_2O_3 膜の膜厚が薄くなるほど大きくなる傾向がある。図 1 5 は、 Al_2O_3 膜の膜厚とフラットバンド電圧のシフトとの関係を示すグラフである。横軸は酸化膜換算膜厚を示しており、縦軸はフラットバンド電圧のシフトを示している。測定条件は、以下の通りである。即ち、基板として p 型のシリコン基板を用い、絶縁膜として窒素が添加された Al_2O_3 膜を用い、電極としてポリシリコン膜を用いた。測定温度は、 $-25^{\circ}C$ とした。図 1 5 から分かるように、 Al_2O_3 膜の膜厚が薄くなるほどフラットバンド電圧のシフトは大きくなる傾向がある。

【 0 0 0 8 】

フラットバンド電圧が大きくシフトしてしまうと、所望のしきい値電圧が得られなくなる。このため、ゲート絶縁膜の材料として、 Al_2O_3 等を用いた場合であっても、フラットバンド電圧のシフトを抑制し得る技術が待望されていた。

【 0 0 0 9 】

本発明の目的は、絶縁膜の材料として Al_2O_3 等を用いる場合であっても、フラットバンド電圧のシフトを抑制し得る半導体装置及びその製造方法を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上記目的は、半導体基板上に形成された、III 族元素及び V 族元素の一方である第 1 の元素を含む酸化物より成る中間層と、前記中間層上に形成された、III 族元素及び V 族元素の他方である第 2 の元素の酸化物より成る絶縁膜と、前記絶縁膜上に形成された電極とを有することを特徴とする半導体装置により達成される。

【 0 0 1 1 】

また、上記目的は、半導体基板上に、III族元素及びV族元素の一方である第1の元素を含む酸化物より成る中間層を形成する工程と、前記中間層上に、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶縁膜を形成する工程と、前記絶縁膜上に電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0012】

【発明の実施の形態】

〔第1実施形態〕

本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図4を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。

【0013】

(半導体装置)

まず、本実施形態による半導体装置について、図1を用いて説明する。

【0014】

図1に示すように、シリコン基板6には、素子領域8を画定する素子分離領域10が形成されている。

【0015】

素子領域8におけるシリコン基板10上には、例えば厚さ1nmの中間層12が形成されている。中間層12は、少なくともTaを含む酸化物より成るものである。具体的には、中間層12として、AlとTaとSiとO（酸素）とを含む膜が用いられている。中間層12の厚さは、例えば1nmとなっている。

【0016】

中間層12上には、例えば膜厚4nmの Al_2O_3 より成るゲート絶縁膜14が形成されている。

【0017】

ゲート絶縁膜14上には、例えば厚さ100～200nmのポリシリコンより成るゲート電極16が形成されている。

【0018】

ゲート電極16の両側のシリコン基板10には、エクステンションソースドレ

インの浅い領域を構成する不純物拡散領域 2 0 a が形成されている。

【 0 0 1 9 】

ゲート電極 1 6 の側面には、例えば SiO_2 より成るサイドウォール絶縁膜 2 2 が形成されている。

【 0 0 2 0 】

側面にサイドウォール絶縁膜 2 2 が形成されたゲート電極 1 6 の両側のシリコン基板 1 0 には、エクステンションソースドレインの深い領域を構成する不純物拡散領域 2 0 b が形成されている。

【 0 0 2 1 】

不純物拡散領域 2 0 a と不純物拡散領域 2 0 b とにより、エクステンションソースドレイン構造のソース／ドレイン拡散層 2 0 が形成されている。

【 0 0 2 2 】

こうして本実施形態による半導体装置が構成されている。

【 0 0 2 3 】

本実施形態による半導体装置は、シリコン基板 6 と Al_2O_3 より成るゲート絶縁膜 1 4 との間に、少なくとも Ta を含む酸化物より成る中間層 1 4 が形成されていることに主な特徴がある。

【 0 0 2 4 】

ゲート絶縁膜として Al_2O_3 を用いた提案されている半導体装置では、基板は IV 族元素である Si により構成されている一方、ゲート絶縁膜には III 族元素である Al が含まれているため、シリコン基板とゲート絶縁膜との界面に Al による未結合手が生じ、界面準位密度が高くなってしまっていた。界面準位密度が高くなると、表面ポテンシャルに応じて、界面に電荷が蓄積される。しかし、最も重要なのは未結合手等によって生じた膜中の電荷であり、これがフラットバンド電圧の大きなシフトを招いてしまっていた。

【 0 0 2 5 】

これに対し、本実施形態では、シリコン基板 6 と Al_2O_3 より成るゲート絶縁膜 1 6 との間に、少なくとも Ta を含む酸化物より成る中間層が形成されている。ゲート絶縁膜 1 4 に含まれている Al は III 族元素であるのに対し、中間層 1

2に含まれているTaはV族元素であるため、本実施形態によれば、Alによる未結合手が生じるのを防止することができる。従って、本実施形態によれば、ゲート絶縁膜14の材料として Al_2O_3 を用いた場合であっても、固定電荷量を低く抑えることができ、フラットバンド電圧の大きなシフトを防止することができる。

【0026】

（半導体装置の製造方法）

次に、本実施形態による半導体装置の製造方法を図2乃至図4を用いて説明する。図2乃至図4は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0027】

まず、図2（a）に示すように、例えば面方位（001）のシリコン基板6を用意する。

【0028】

次に、例えばLOCOS法又はSTI法により、シリコン基板6に、素子領域8を画定する素子分離領域10を形成する。

【0029】

次に、例えば0.5%のHF水溶液を用いて、犠牲酸化膜を除去する。

【0030】

次に、図2（b）に示すように、全面に、例えばMOCVD法により、少なくともTaを含む中間層12を形成する。具体的には、中間層12として、AlとTaとSiとOとを含む膜を形成する。中間層12の厚さは、例えば1nmとする。中間層12を形成する際には、減圧下にて、Taの原料ガスとAlの原料ガスと O_2 ガスとを供給する。Taの原料としては、例えば、Pent-Etochisi-Tantalate（PET）を用いる。Alの原料としては、例えば、Tri-Ethele-Aluminum（TEA）を用いる。

【0031】

次に、全面に、例えばMOCVDにより、 Al_2O_3 より成るゲート絶縁膜14を形成する。ゲート絶縁膜14の膜厚は、例えば4nmとする。Alの原料とし

ては、上記と同様に、例えば、Tri-Ethyle-Aluminum (TEA) を用いる。なお、中間層 1 2 とゲート絶縁膜 1 4 とは、連続した工程で形成すればよい。

【 0 0 3 2 】

次に、 N_2 雰囲気中で、 $800^{\circ}C$ 、10秒の熱処理を行う。

【 0 0 3 3 】

次に、図 2 (c) に示すように、全面に、例えばCVD法により、膜厚100～200nmのポリシリコン膜 1 6 を形成する。ポリシリコン膜 1 6 は、後工程においてパターニングされてゲート電極となるものである。ポリシリコン膜 1 6 を形成する際の成膜条件は、例えば $650^{\circ}C$ とする。

【 0 0 3 4 】

次に、図 3 (a) に示すように、フォトリソグラフィ技術を用い、ポリシリコン膜 1 6 をパターニングする。ポリシリコン膜 1 6 をパターニングする際には、例えばドライエッチングを用いる。こうして、ポリシリコンより成るゲート電極 1 6 が形成される。

【 0 0 3 5 】

次に、図 3 (b) に示すように、ゲート電極 1 6 をマスクとして、イオン注入法により、ゲート電極 1 6 の両側のシリコン基板 6 に不純物を導入する。これにより、エクステンションソースドレインの浅い領域を構成する不純物拡散領域 2 0 a が形成される。

【 0 0 3 6 】

次に、全面に、例えば膜厚130nmのシリコン窒化酸化膜を形成する。この後、シリコン窒化酸化膜を異方性エッチングする。これにより、ゲート電極の側面に、シリコン窒化酸化膜より成るサイドウォール絶縁膜 2 2 が形成される（図 4 (a) 参照）。

【 0 0 3 7 】

次に、側面にサイドウォール絶縁膜 2 2 が形成されたゲート電極 1 6 をマスクとして、イオン注入法により、シリコン基板 6 に不純物を導入する。これにより、エクステンションソースドレインの深い領域を構成する不純物拡散領域 2 0 b が形成される。こうして、不純物拡散領域 2 0 a と不純物拡散領域 2 0 b とによ

り構成されたエクステンションソースドレイン構造のソース／ドレイン拡散層 2 0 が形成される。

【 0 0 3 8 】

こうして本実施形態による半導体装置が製造される。

【 0 0 3 9 】

(評価結果)

次に、本実施形態による半導体装置の評価結果について説明する。

【 0 0 4 0 】

まず、C V 特性を測定することにより、フラットバンド電圧のシフト ΔV_{fb} を求めた。この結果、フラットバンド電圧のシフト ΔV_{fb} は、0. 2 V と小さく抑えられており、良好であった。

【 0 0 4 1 】

また、コンダクタンス法により、界面準位密度を求めた。この結果、界面準位密度は、 $5 \times 10^{10} \text{ cm}^{-2} / \text{eV}$ と低く抑えられており、良好であった。

【 0 0 4 2 】

これらのことから、本実施形態によれば、ゲート絶縁膜の材料として Al_2O_3 を用いた場合であっても、界面準位密度が低く、フラットバンド電圧のシフトの小さい半導体装置を提供し得ることがわかる。

【 0 0 4 3 】

[第 2 実施形態]

本発明の第 2 実施形態による半導体装置及びその製造方法を図 5 乃至図 8 を用いて説明する。図 5 は、本実施形態による半導体装置を示す断面図である。図 1 乃至図 4 に示す第 1 実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【 0 0 4 4 】

(半導体装置)

まず、本実施形態による半導体装置について図 5 を用いて説明する。

【 0 0 4 5 】

本実施形態による半導体装置は、シリコン基板 6 とゲート絶縁膜 1 4 との間に

中間層 1 2 が形成されているのみならず、ゲート絶縁膜 1 4 とゲート電極 1 6 との間にも中間層 1 2 a 形成されていることに主な特徴がある。

【 0 0 4 6 】

図 5 に示すように、本実施形態では、ゲート絶縁膜 1 4 とゲート電極 1 6 との間にも、中間層 1 2 a が形成されている。中間層 1 2 a としては、例えば中間層 1 2 と同様のものを用いることができる。

【 0 0 4 7 】

ポリシリコンより成るゲート電極は IV 族元素である Si により構成されている一方、 Al_2O_3 より成るゲート絶縁膜には V 族元素である Al が含まれているため、ゲート絶縁膜とゲート電極とが接している場合には、ゲート絶縁膜とゲート電極との界面に Al による未結合手が生じ、固定電荷量が多くなる要因となる。

【 0 0 4 8 】

本実施形態によれば、シリコン基板 6 とゲート絶縁膜 1 4 との間に中間層 1 2 が形成されているのみならず、ゲート絶縁膜 1 4 とゲート電極 1 6 との間にも中間層 1 2 a が形成されているため、シリコン基板 6 とゲート絶縁膜 1 4 との界面における固定電荷を低減し得るのみならず、ゲート絶縁膜 1 4 とゲート電極 1 6 との界面における固定電荷をも低減し得る。従って、本実施形態によれば、フラットバンド電圧のシフトをより抑制し得る半導体装置を提供することができる。

【 0 0 4 9 】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図 6 乃至図 8 を用いて説明する。

【 0 0 5 0 】

まず、ゲート絶縁膜 1 4 を形成する工程までは、図 2 (a) 及び図 2 (b) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する (図 6 (a) 及び図 6 (b) 参照)。

【 0 0 5 1 】

次に、図 6 (b) に示すように、全面に、MOCVD 法により、中間層 1 2 a を形成する。中間層 1 2 a の形成方法は、例えば、上述した中間層 1 2 の形成方

法と同様とする。

【 0 0 5 2 】

この後の図 6 (c) 乃至図 8 (b) に示す半導体装置の製造方法は、図 2 (c) 乃至図 4 (b) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

【 0 0 5 3 】

こうして本実施形態による半導体装置が製造される。

【 0 0 5 4 】

〔第 3 実施形態〕

本発明の第 3 実施形態による半導体装置及びその製造方法を図 9 乃至図 1 2 を用いて説明する。図 9 は、本実施形態による半導体装置を示す断面図である。図 1 乃至図 8 に示す第 1 又は第 2 実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【 0 0 5 5 】

(半導体装置)

まず、本実施形態による半導体装置について図 9 を用いて説明する。

【 0 0 5 6 】

本実施形態による半導体装置は、シリコン基板 6 とゲート絶縁膜 1 4 との間には中間層 1 2 が形成されておらず、ゲート絶縁膜 1 4 とゲート絶縁膜 1 6 との間にのみ中間層 1 2 a が形成されていることに主な特徴がある。

【 0 0 5 7 】

図 9 に示すように、本実施形態では、シリコン基板 1 0 上に、ゲート絶縁膜 1 4 が直接形成されている。

【 0 0 5 8 】

ゲート絶縁膜 1 4 とゲート電極 1 6 との間には、中間層 1 2 a が形成されている。

【 0 0 5 9 】

このように、シリコン基板 8 とゲート絶縁膜 1 4 との界面に中間層 1 2 を形成することなく、ゲート絶縁膜 1 4 とゲート電極 1 6 との間にのみ中間層 1 2 a を

形成してもよい。

【 0 0 6 0 】

本実施形態による半導体装置では、シリコン基板 6 とゲート絶縁膜 1 4 との間に中間層 1 2 が形成されていないため、シリコン基板 6 とゲート絶縁膜 1 4 との界面における固定電荷は低減し得ないが、ゲート絶縁膜 1 4 とゲート電極 1 6 との間には中間層 1 2 a が形成されているため、ゲート絶縁膜 1 4 とゲート電極 1 6 との界面における固定電荷については低減し得る。従って、本実施形態によっても、フラットバンド電圧のシフトを抑制することは可能である。

【 0 0 6 1 】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図 1 0 乃至図 1 2 を用いて説明する。

【 0 0 6 2 】

まず、犠牲酸化膜を除去する工程までは、図 2 (a) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【 0 0 6 3 】

次に、図 1 0 (b) に示すように、中間層 1 2 を形成することなく、全面に、ゲート絶縁膜 1 4 を形成する。ゲート絶縁膜 1 4 の形成方法は、例えば上記と同様とする。

【 0 0 6 4 】

次に、全面に、中間層 1 2 a を形成する。中間層 1 2 a の形成方法は、例えば上記と同様とする。

【 0 0 6 5 】

この後の図 1 0 (c) 乃至図 1 2 (b) に示す半導体装置の製造方法は、図 2 (c) 乃至図 4 (b) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

【 0 0 6 6 】

こうして本実施形態による半導体装置が製造される。

【 0 0 6 7 】

〔変形実施形態〕

本発明は上記実施形態に限らず種々の変形が可能である。

【0068】

例えば、上記実施形態では、中間層としてAlとTaとSiとOとを含む膜を用いる場合を例に説明したが、中間層はAlとTaとSiとOとを含む膜に限定されるものではなく、V族元素を含む酸化物より成る膜を広く用いることができる。例えば、中間層として、AlとV（バナジウム）とSiとOとを含む膜、AlとNbとSiとOとを含む膜、AlとUとSiとOとを含む膜等を用いてもよい。V、Nb、UはいずれもV族元素であるため、III族元素であるAlによる未結合手の生成を防止することが可能である。

【0069】

また、上記実施形態では、中間層にAlが含まれていたが、中間層にAlが含まれていなくてもよい。

【0070】

また、上記実施形態では、中間層に窒素が含まれていない場合を例に説明したが、中間層にNを含ませてもよい。中間層に窒素を含ませることにより、ゲート電極中に導入されたB（ボロン）等のドーパント不純物がシリコン基板側に突き抜けてしまうのを防止することが可能となる。中間層に窒素を含ませる場合、中間層中における窒素の体積密度は例えば1%以下とすればよい。

【0071】

また、上記実施形態では、 Al_2O_3 より成るゲート絶縁膜の膜厚を4nmとしたが、ゲート絶縁膜の膜厚は4nmに限定されるものではない。ただし、 Al_2O_3 より成るゲート絶縁膜の膜厚が5nmより薄くなるとフラットバンド電圧のシフトが顕著になる傾向があるため、本発明は、 Al_2O_3 より成るゲート絶縁膜の膜厚が5nm以下の場合に特に有効である。

【0072】

また、上記実施形態では、ゲート絶縁膜として Al_2O_3 膜を用いる場合を例に説明したが、ゲート絶縁膜は Al_2O_3 膜に限定されるものではない。本発明の原理は、ゲート絶縁膜が、III族元素を含む酸化物より成る膜である場合に広く適

用することができる。例えば、ゲート絶縁膜が、 Sc_2O_3 膜、 Y_2O_3 膜、 La_2O_3 膜等であってもよい。ゲート絶縁膜に含まれるSc、Y、LaはいずれもIII族元素である一方、中間層にV族元素が含まれているため、未結合手の発生を防止することができ、固定電荷を低減することができる。

【0073】

また、上記実施形態では、ゲート絶縁膜としてIII族元素を含む酸化物より成る膜を用いる場合を例に説明したが、ゲート絶縁膜としてV族元素を含む酸化物より成る膜を用いてもよい。ゲート絶縁膜としてV族元素を含む酸化物より成る膜を用いる場合には、中間層としてIII族元素を含む酸化物より成る膜を用いればよい。例えば、III族元素を含む酸化物より成る中間層としては、例えばThを含む酸化物より成る膜等を用いることが可能である。

【0074】

また、上記実施形態では、本発明の原理をMOS型トランジスタに適用する場合を例に説明したが、本発明の原理はMOS型トランジスタのみならず、他のあらゆる半導体装置に適用することが可能である。例えば、本発明の原理は、MOSダイオードの絶縁膜に適用することが可能である。即ち、MOSダイオードの絶縁膜として例えばIII族元素を含む酸化物より成る膜を用い、絶縁膜と半導体基板との間や絶縁膜と電極との間に例えばV族元素を含む酸化物より成る中間層を形成すればよい。また、MOSダイオードの絶縁膜として、例えばV族元素を含む酸化物より成る膜を用い、絶縁膜と半導体基板との間や絶縁膜と電極との間に例えばIII族元素を含む酸化物より成る中間層を形成してもよい。また、本発明の原理は、フローティングゲート型のトランジスタのトンネル絶縁膜にも適用することが可能である。即ち、トンネル絶縁膜として例えばIII族元素を含む酸化物より成る膜を用い、トンネル絶縁膜と半導体基板との間やトンネル絶縁膜と電極との間に例えばV族元素を含む酸化物より成る中間層を形成すればよい。また、トンネル絶縁膜として、例えばV族元素を含む酸化物より成る膜を用い、トンネル絶縁膜と半導体基板との間やトンネル絶縁膜と電極との間に例えばIII族元素を含む酸化物より成る膜を形成すればよい。

【0075】

また、上記実施形態では、シリコン基板を用いる場合を例に説明したが、シリコン基板に限定されるものではなく、本発明の原理は、IV族元素より成る半導体基板を用いる場合に広く適用することが可能である。例えば、シリコンゲルマニウム基板等を用いる場合にも本発明の原理を適用することが可能である。

【 0 0 7 6 】

(付記 1) 半導体基板上に形成された、III族元素及びV族元素の一方である第 1 の元素を含む酸化物より成る中間層と、

前記中間層上に形成された、III族元素及びV族元素の他方である第 2 の元素の酸化物より成る絶縁膜と、

前記絶縁膜上に形成された電極と

を有することを特徴とする半導体装置。

【 0 0 7 7 】

(付記 2) 付記 1 記載の半導体装置において、

前記絶縁膜と前記電極との間に形成され、前記第 1 の元素を含む酸化物より成る他の中間層を更に有する

ことを特徴とする半導体装置。

【 0 0 7 8 】

(付記 3) 付記 1 又は 2 記載の半導体装置において、

前記中間層及び／又は前記他の中間層は、前記第 1 の元素と前記第 2 の元素とを含む酸化物より成る

ことを特徴とする半導体装置。

【 0 0 7 9 】

(付記 4) 付記 1 乃至 3 のいずれかに記載の半導体装置において、

前記絶縁膜の膜厚は、5 nm 以下である

ことを特徴とする半導体装置。

【 0 0 8 0 】

(付記 5) 付記 1 乃至 4 のいずれかに記載の半導体装置において、

前記第 2 の元素は、Al、Sc、Y 又は La である

ことを特徴とする半導体装置。

【 0 0 8 1 】

(付記 6) 付記 5 記載の半導体装置において、
前記絶縁膜は、 Al_2O_3 膜、 Sc_2O_3 膜、 Y_2O_3 膜又は La_2O_3 膜である
ことを特徴とする半導体装置。

【 0 0 8 2 】

(付記 7) 付記 1 乃至 6 のいずれかに記載の半導体装置において、
前記第 1 の元素は、Ta、V、Nb、Th 又は U である
ことを特徴とする半導体装置。

【 0 0 8 3 】

(付記 8) 付記 1 乃至 7 のいずれかに記載の半導体装置において、
前記中間層及び／又は前記他の中間層は、更に窒素を含む
ことを特徴とする半導体装置。

【 0 0 8 4 】

(付記 9) 半導体基板上に形成された、III族元素及びV族元素の一方である
元素の酸化物より成る絶縁膜と、
前記絶縁膜上に形成された、III族元素及びV族元素の他方である元素を含む
酸化物より成る中間層と、
前記中間層上に形成された電極と
を有することを特徴とする半導体装置。

【 0 0 8 5 】

(付記 1 0) 半導体基板上に、III族元素及びV族元素の一方である第 1 の
元素を含む酸化物より成る中間層を形成する工程と、
前記中間層上に、III族元素及びV族元素の他方である第 2 の元素の酸化物より
成る絶縁膜を形成する工程と、
前記絶縁膜上に電極を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【 0 0 8 6 】

(付記 1 1) 付記 1 0 記載の半導体装置の製造方法において、
前記中間層を形成する工程では、前記第 1 の元素を含む第 1 の原料と前記第 2

の元素を含む第 2 の原料とを用いて、前記第 1 の元素と前記第 2 の元素とを含む酸化物より成る前記中間層を形成し、

前記絶縁膜を形成する工程では、前記第 2 の原料を用いて前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【 0 0 8 7 】

(付記 1 2) 付記 1 0 又は 1 1 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程の後、前記電極を形成する工程の前に、前記第 1 の原料と前記第 2 の原料とを用いて、前記第 1 の元素と前記第 2 の元素とを含む酸化物より成る他の中間層を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【 0 0 8 8 】

【発明の効果】

以上の通り、本発明によれば、半導体基板と III 族元素及び V 族元素の一方である元素の酸化物より成るゲート絶縁膜との間に、III 族元素及び V 族元素の他方である元素を含む酸化物より成る中間層が形成されているため、ゲート絶縁膜の材料として Al_2O_3 等を用いた場合であっても、固定電荷を低減することができる。従って、本発明によれば、フラットバンド電圧の大きなシフトを防止し得る半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体装置を示す断面図である。

【図 2】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】

本発明の第 2 実施形態による半導体装置を示す断面図である。

【図 6】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 7】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 8】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 9】

本発明の第 3 実施形態による半導体装置を示す断面図である。

【図 1 0】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 1 1】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 2】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 3】

提案されている半導体装置を示す断面図である。

【図 1 4】

C-V特性を示すグラフである。

【図 1 5】

A l ₂ O ₃ 膜の膜厚とフラットバンド電圧のシフトとの関係を示すグラフである

【符号の説明】

6 … シリコン基板

8 … 素子領域

1 0 … 素子分離領域

1 2、1 2 a … 中間層

1 4 … ゲート絶縁膜

1 6 … ゲート電極

2 0 … ソース／ドレイン拡散層

2 0 a、2 0 b … 不純物拡散領域

2 2 … サイドウォール絶縁膜

1 0 6 … シリコン基板

1 0 8 … 素子領域

1 1 0 … 素子分離領域

1 1 4 … ゲート絶縁膜

1 1 6 … ゲート電極

1 1 8 … キャップ膜

1 2 0 … ソース／ドレイン拡散層

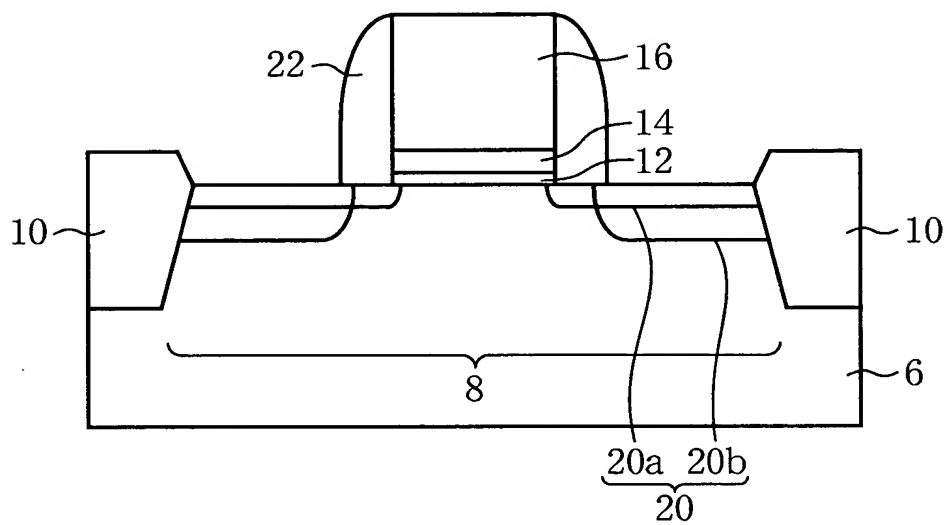
1 2 0 a、1 2 0 b … 不純物拡散領域

1 2 2 … サイドウォール絶縁膜

【書類名】 図面

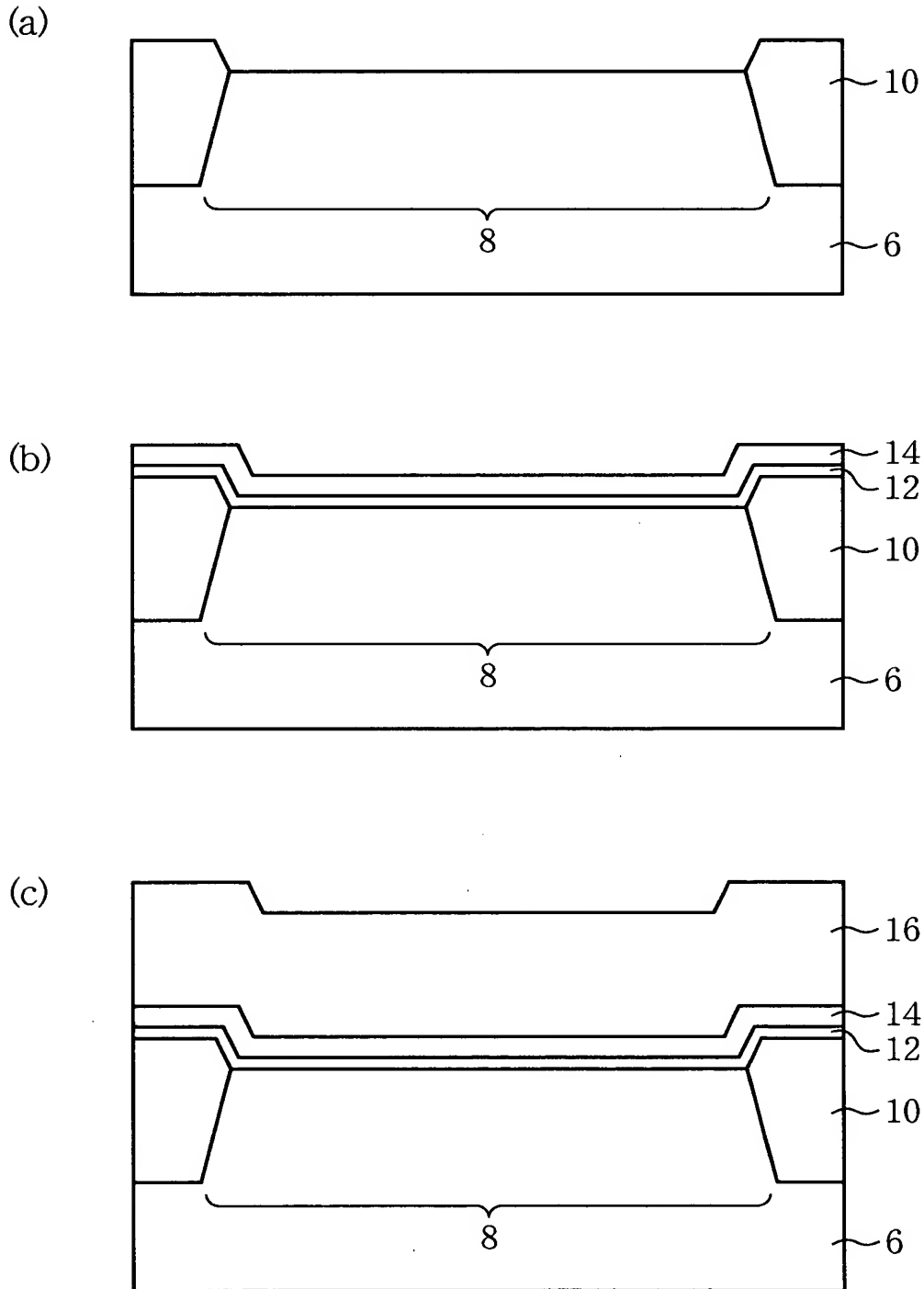
【図 1】

本発明の第1実施形態による半導体装置を示す断面図



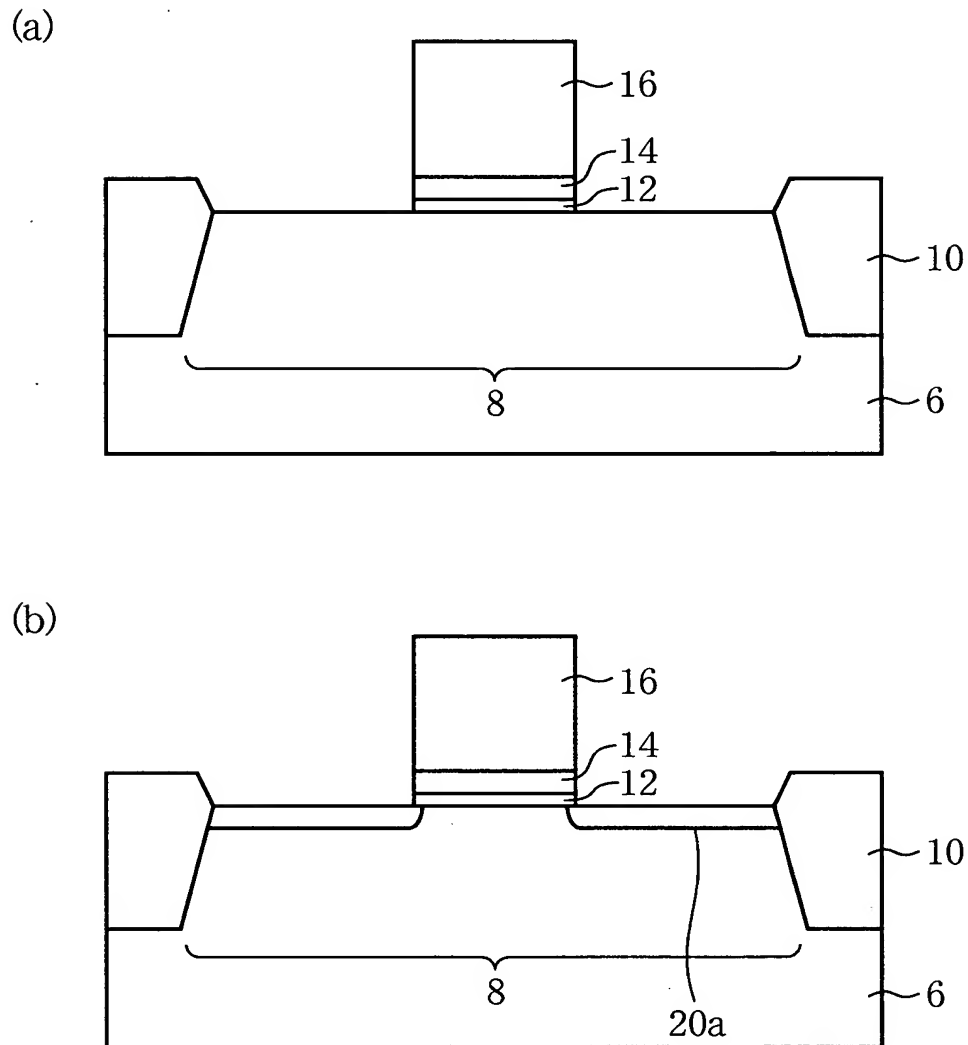
【図 2】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)



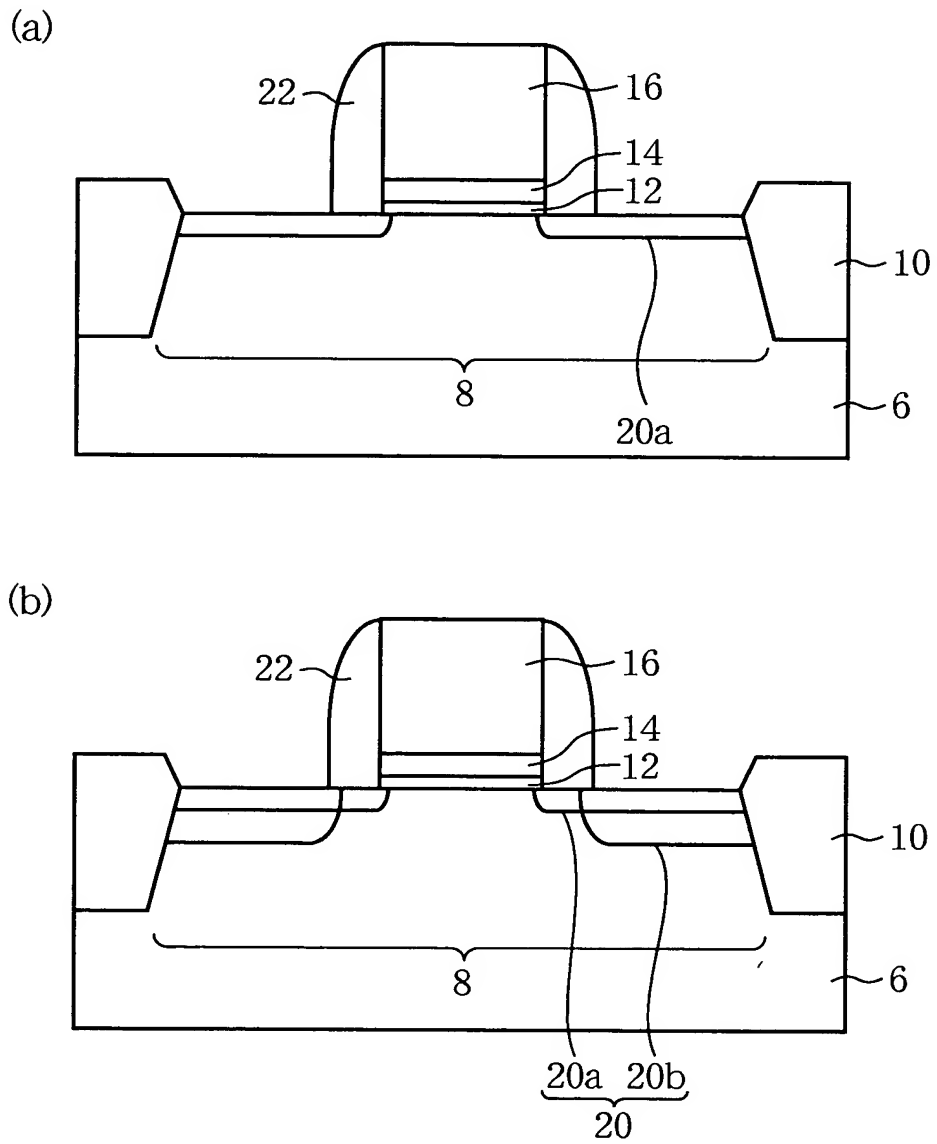
【図 3】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)



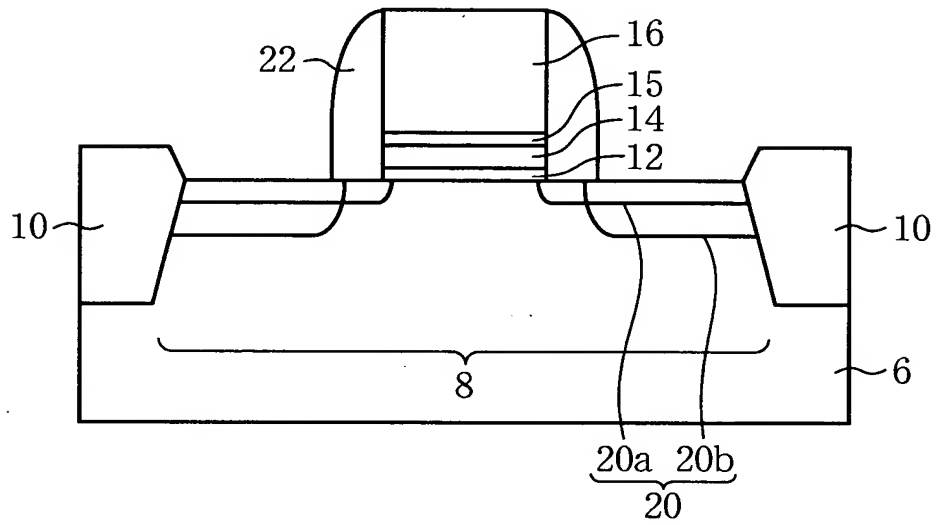
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その3)



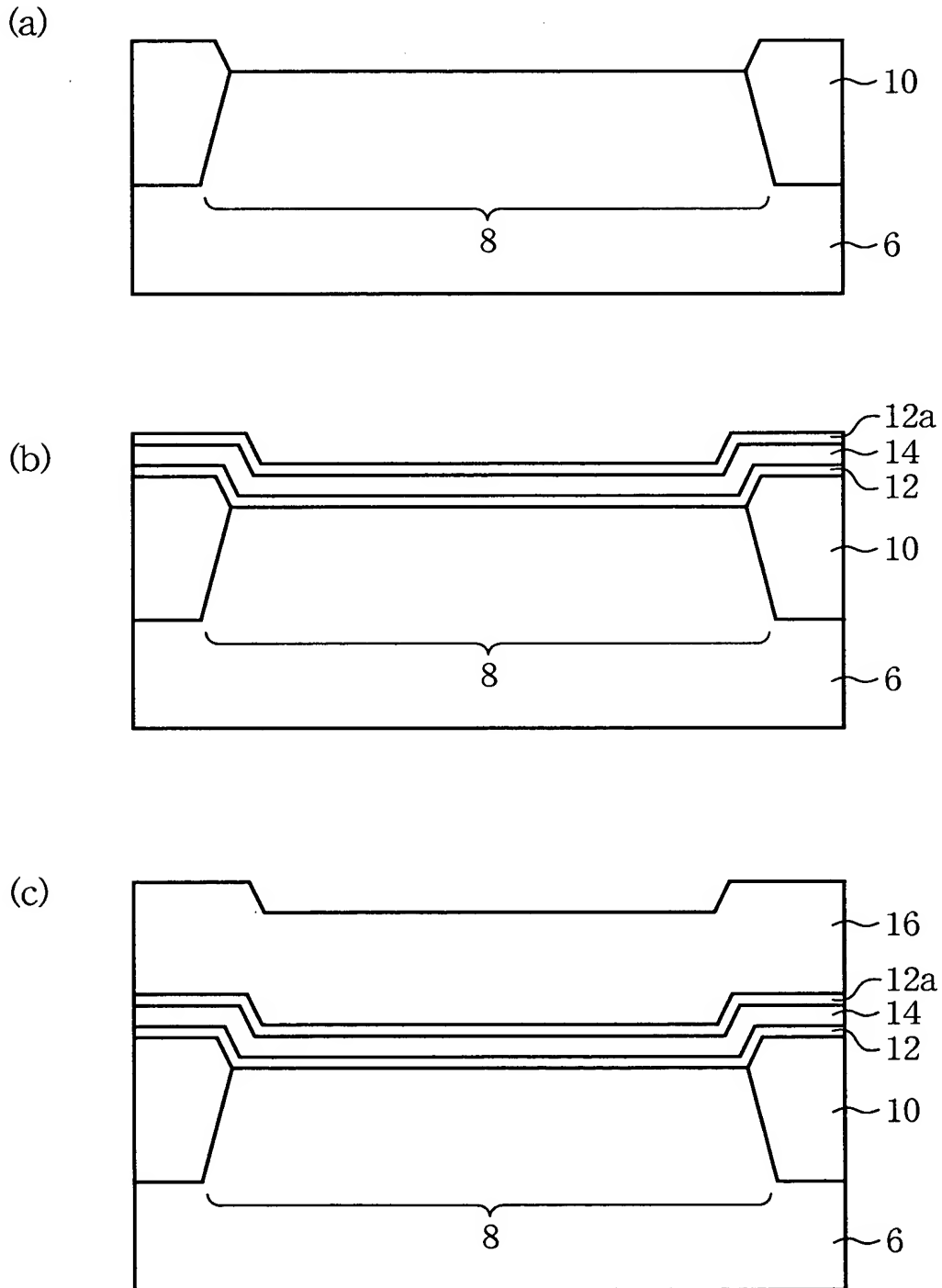
【図 5】

本発明の第2実施形態による半導体装置を示す断面図



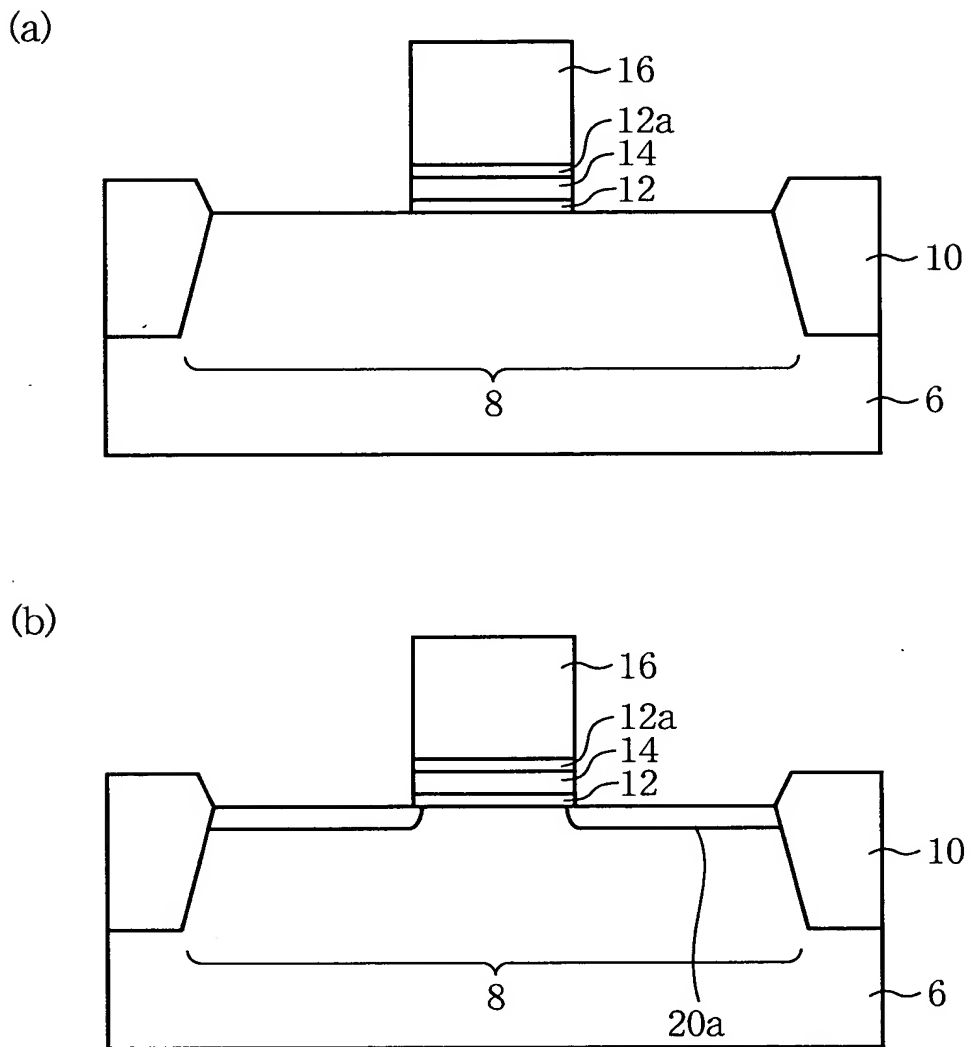
【図 6】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その1)



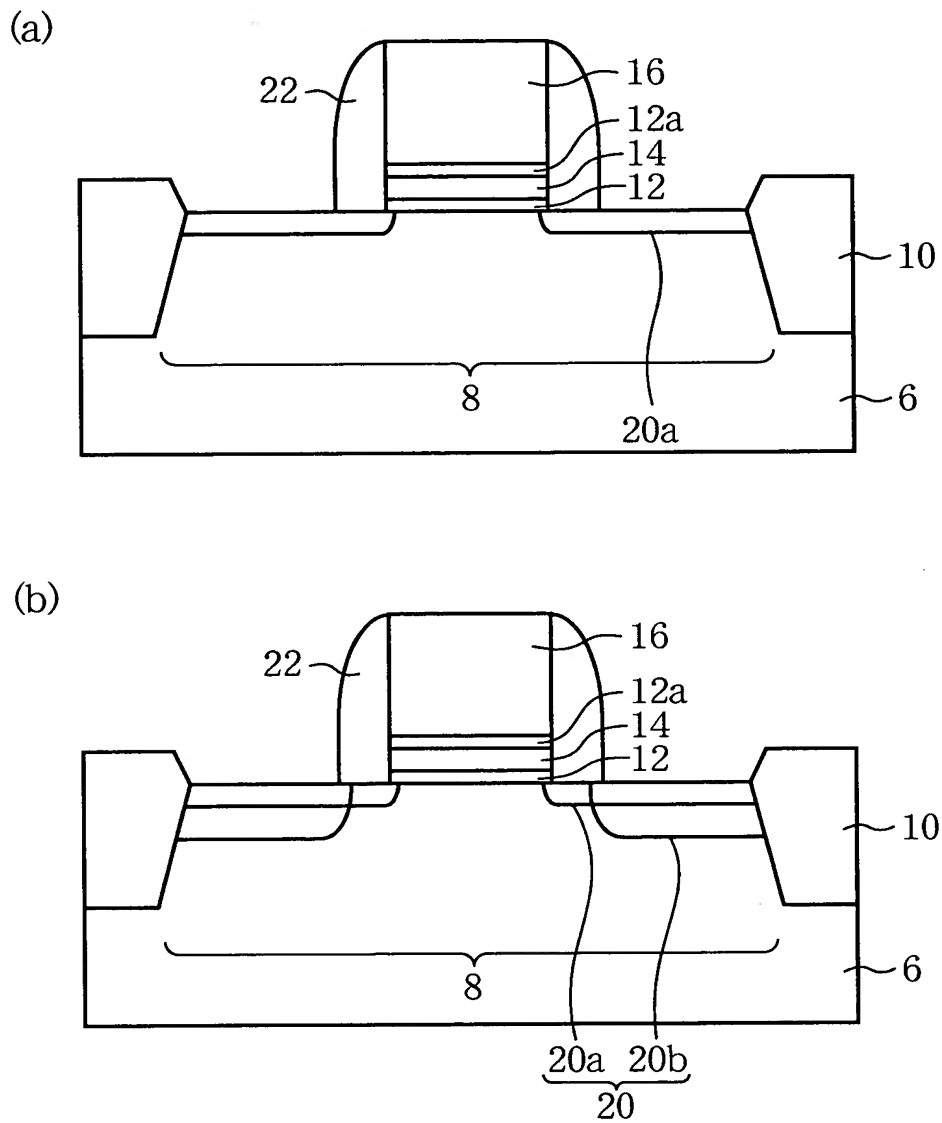
【図 7】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その2)



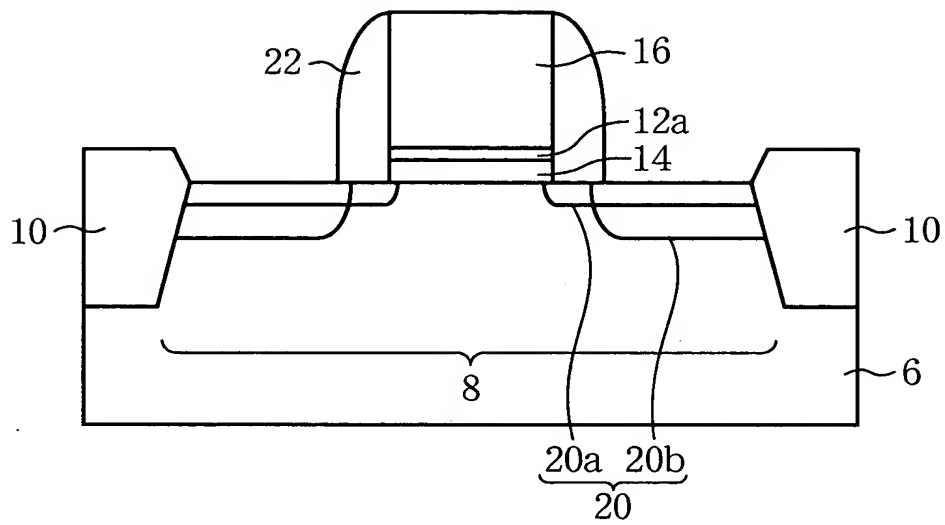
【図 8】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その3)



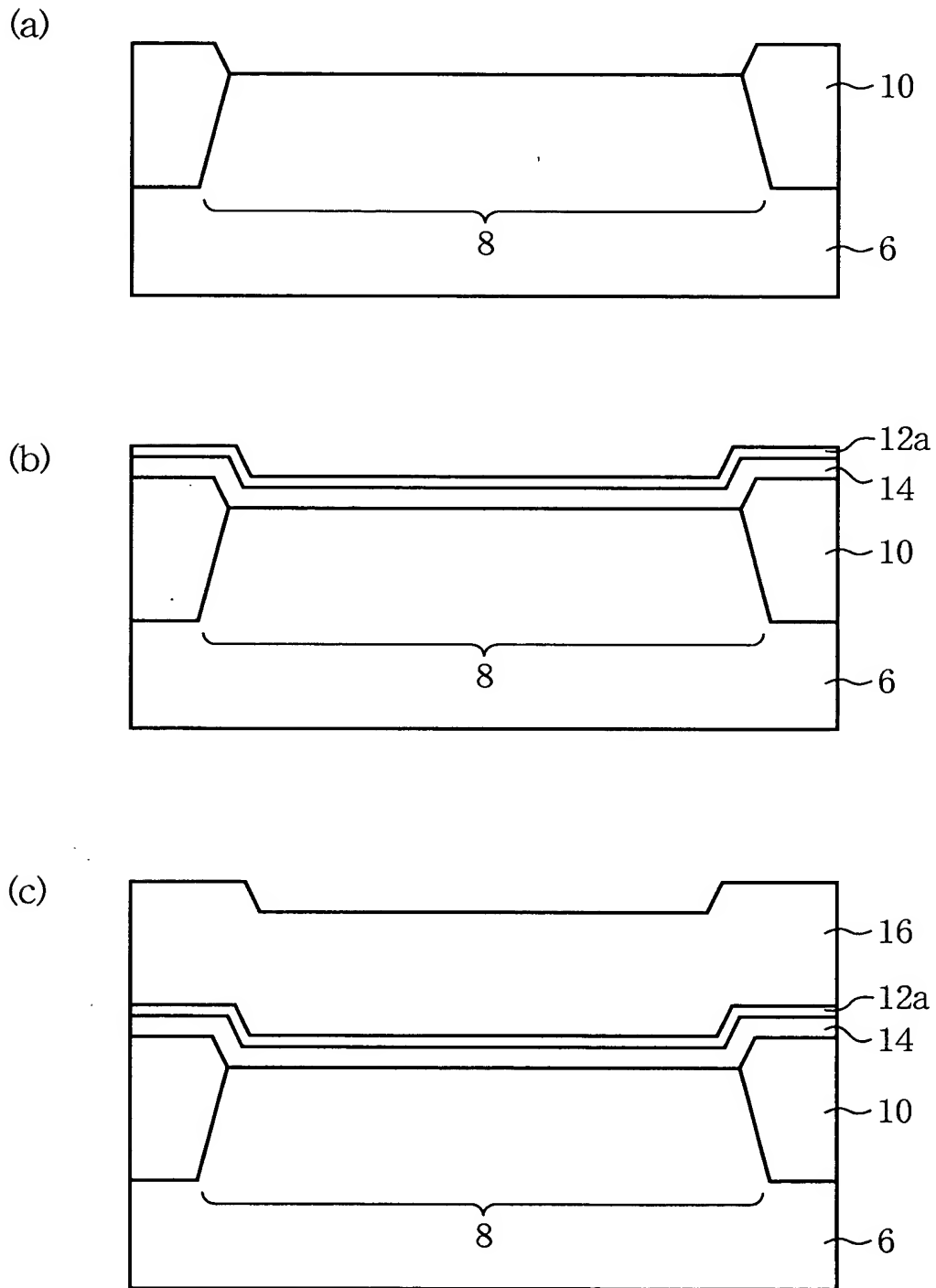
【図 9】

本発明の第3実施形態による半導体装置を示す断面図



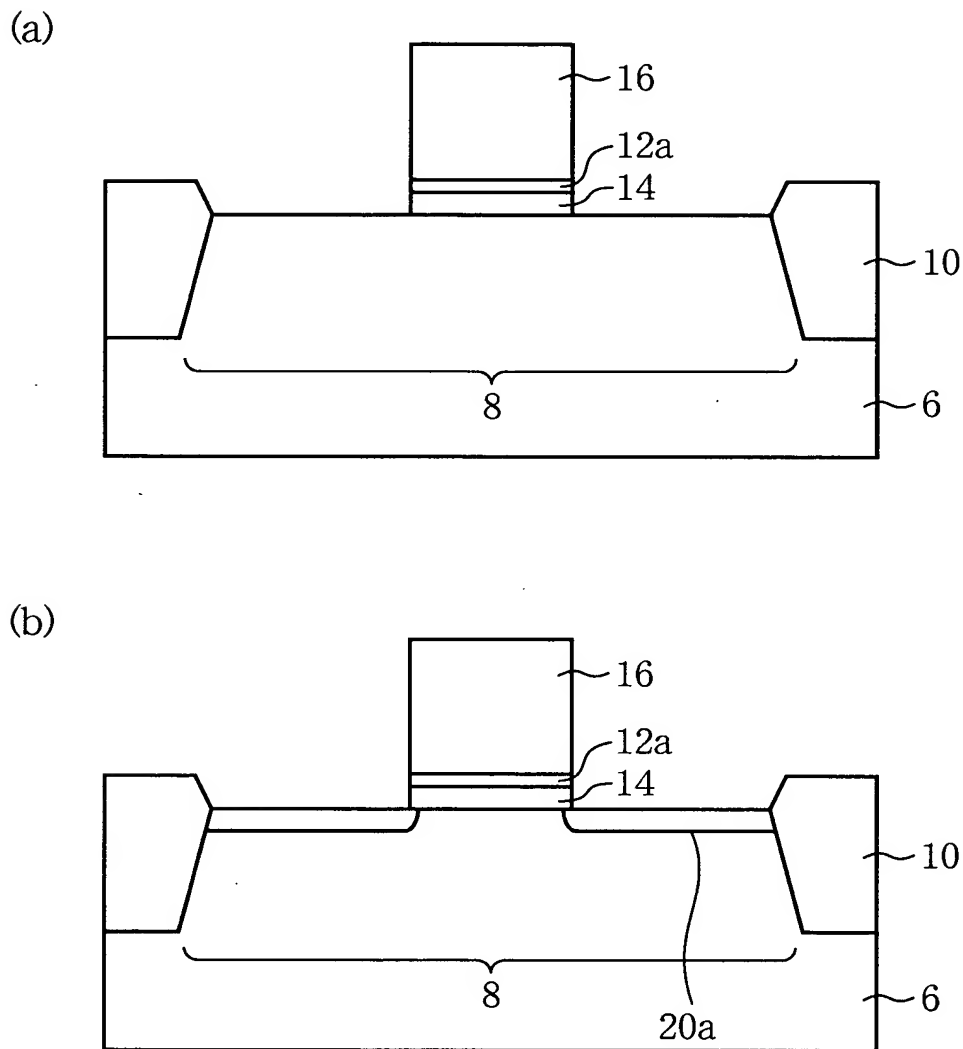
【図 1 0】

本発明の第3実施形態による半導体装置の製造方法を示す
工程断面図(その1)



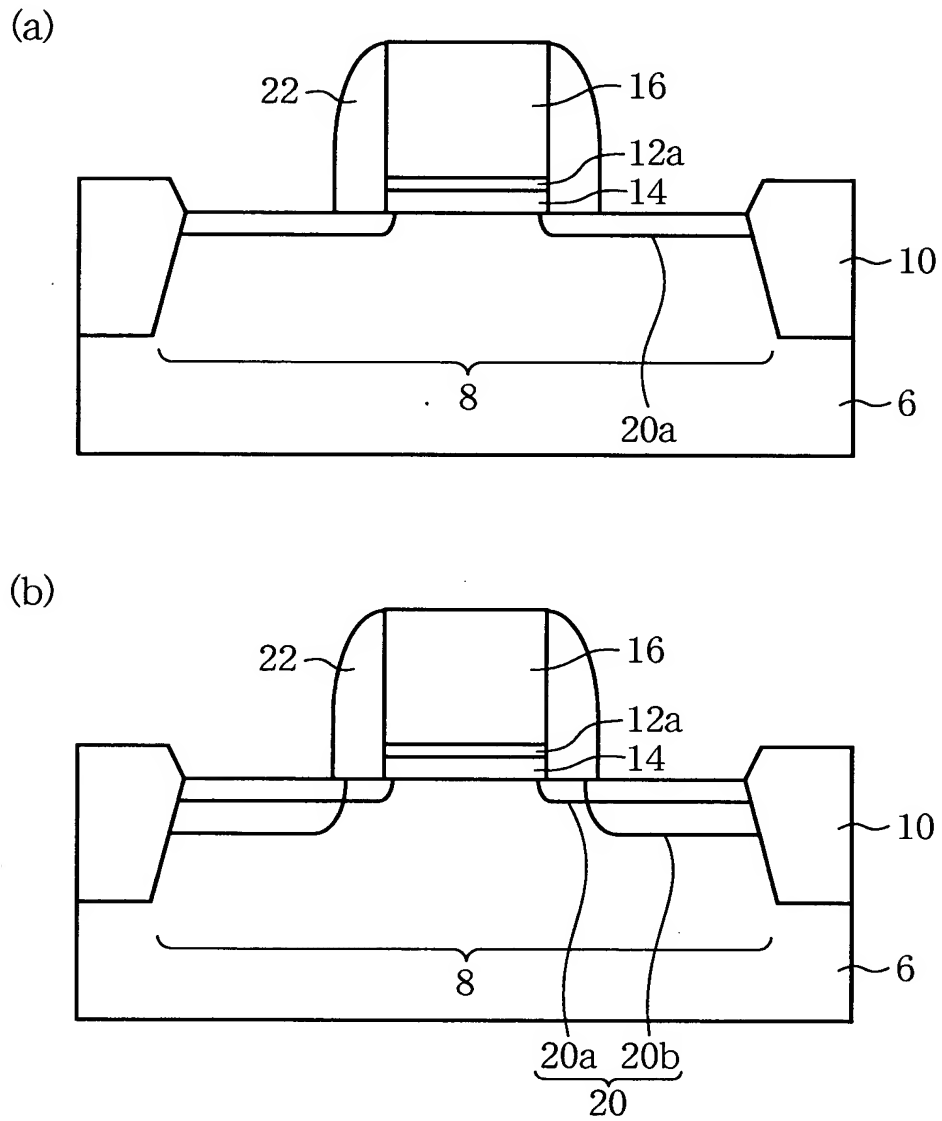
【図 1 1】

本発明の第3実施形態による半導体装置の製造方法を示す
工程断面図(その2)



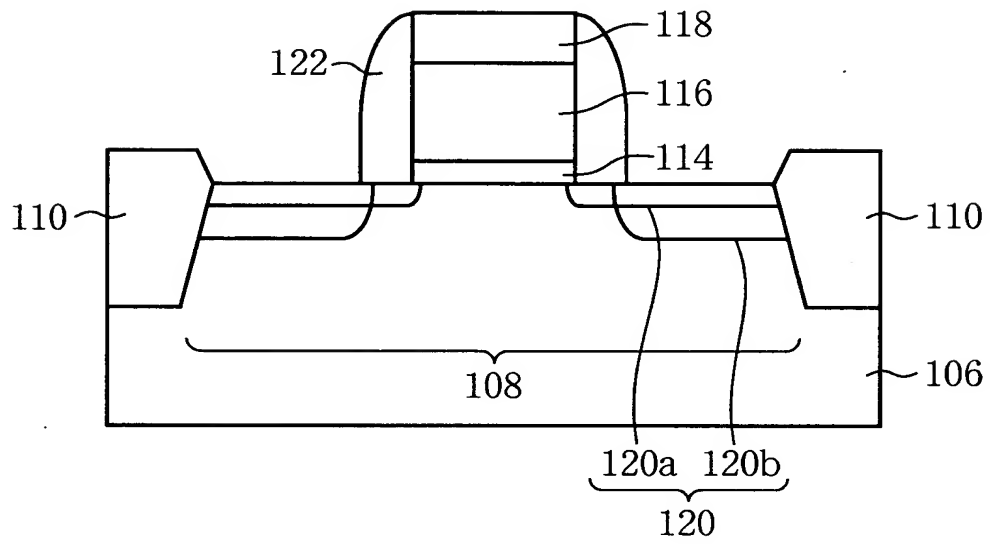
【図 1 2】

本発明の第3実施形態による半導体装置の製造方法を示す
工程断面図(その3)



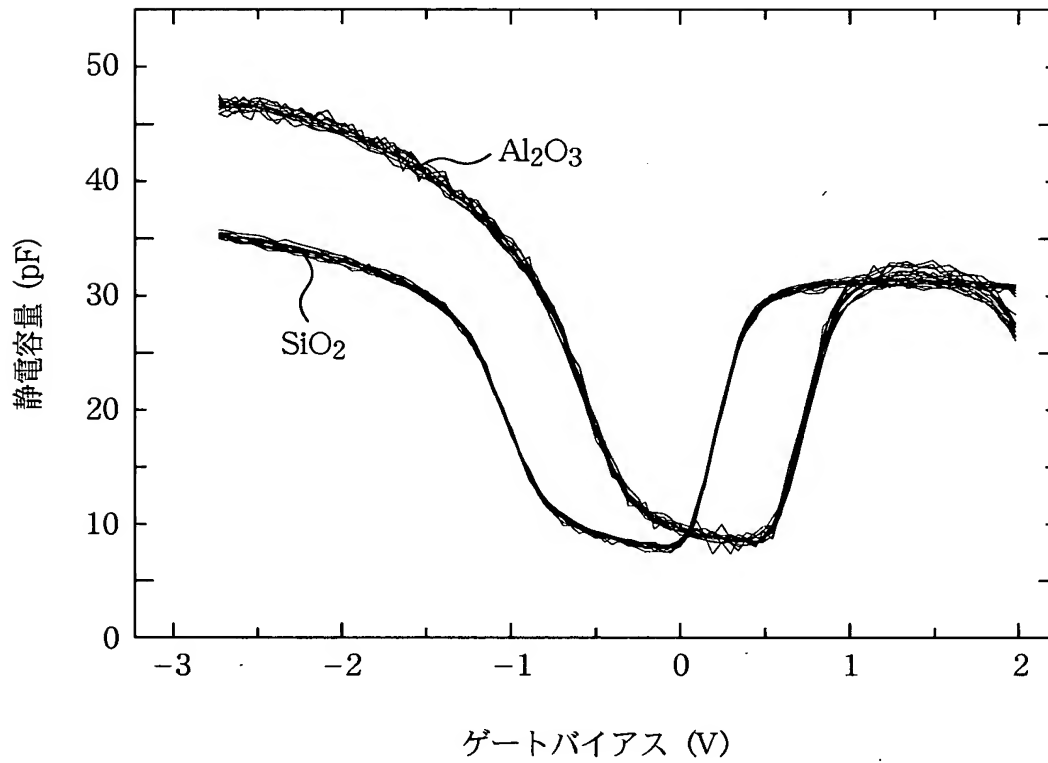
【図 1 3】

提案されている半導体装置を示す断面図



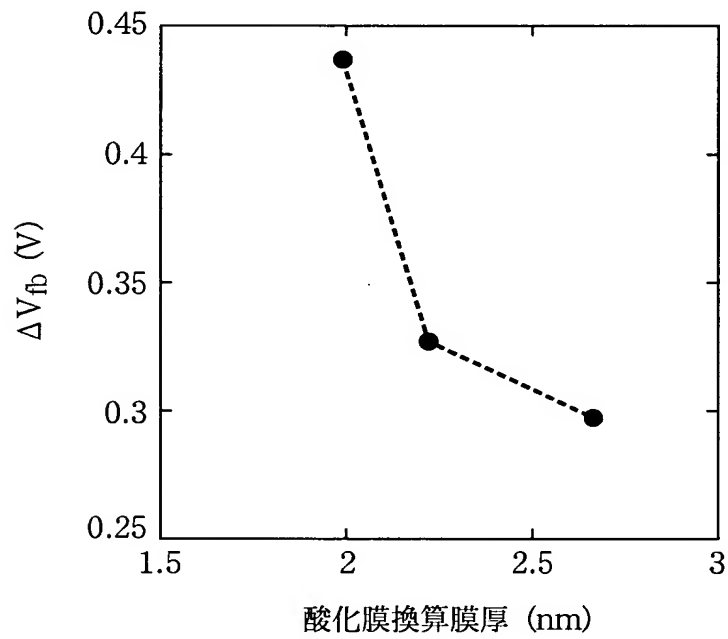
【図 1 4】

C-V特性を示すグラフ



【図 1 5】

Al₂O₃膜の膜厚とフラットバンド電圧のシフトとの
関係を示すグラフ



【書類名】 要約書

【要約】

【課題】 絶縁膜の材料として Al_2O_3 等を用いる場合であっても、フラットバンド電圧のシフトを抑制し得る半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上に形成された、III族元素及びV族元素の一方である第1の元素を含む酸化物より成る中間層と、中間層上に形成された、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶縁膜と、絶縁膜上に形成された電極とを有している。第1の元素を含む酸化物より成る中間層が形成されているため、ゲート絶縁膜の材料として Al_2O_3 等を用いた場合であっても、界面準位密度を低く抑えることができる。従って、フラットバンド電圧の大きなシフトを防止し得る半導体装置及びその製造方法を提供することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社